

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-043565

(43)Date of publication of application : 08.02.2002

(51)Int.Cl.

H01L 29/78
H01L 21/283
H01L 21/316
H01L 29/43

(21)Application number : 2000-225740

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 26.07.2000

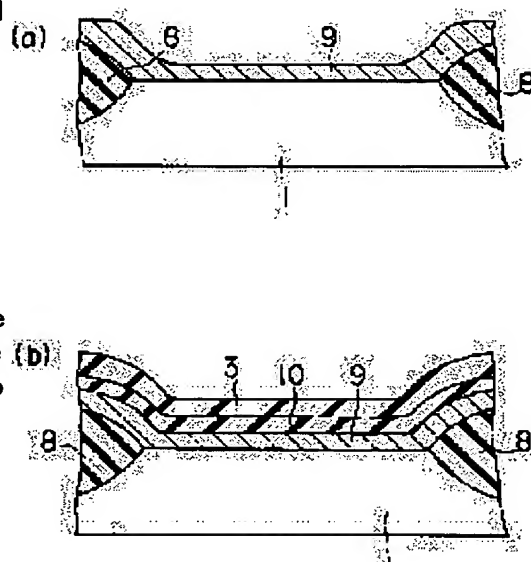
(72)Inventor : KOYAMA MASATO
NISHIYAMA AKIRA

(54) MANUFACTURING METHOD OF SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a manufacturing method of a semiconductor device to form a versatile high-K gate insulating film, where formation of an interface SiO₂ is surely suppressed with no additional failure accompanied while no re-growth of SiO₂ is caused even in post processes including formation of a gate insulating film.

SOLUTION: There are provided a process where a thin film (9) which combines with oxygen containing metal is laminated on the surface of a silicon substrate (1), a process where a metal oxide film (3) is formed on the thin film, and a process where the silicon substrate where the thin film and the metal oxide film are formed is thermally processed so that the thin film is oxidized to form a metal oxide thin film to obtain a gate insulating film comprising the metal oxide thin film and the metal oxide film.



LEGAL STATUS

[Date of request for examination]

31.01.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-43565

(P2002-43565A)

(43) 公開日 平成14年2月8日 (2002.2.8)

(51) Int.Cl. ⁷	識別記号	F I	テマコード [*] (参考)
H 0 1 L 29/78		H 0 1 L 21/283	L 4 M 1 0 4
21/283		21/316	C 5 F 0 4 0
21/316			M 5 F 0 5 8
			S
			X
審査請求 未請求 請求項の数 5 O L (全 7 頁) 最終頁に続く			

(21) 出願番号 特願2000-225740 (P2000-225740)

(22) 出願日 平成12年7月26日 (2000.7.26)

(71) 出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(72) 発明者 小山 正人

神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

(72) 発明者 西山 彰

神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

(74) 代理人 100058479

弁理士 鈴江 武彦 (外6名)

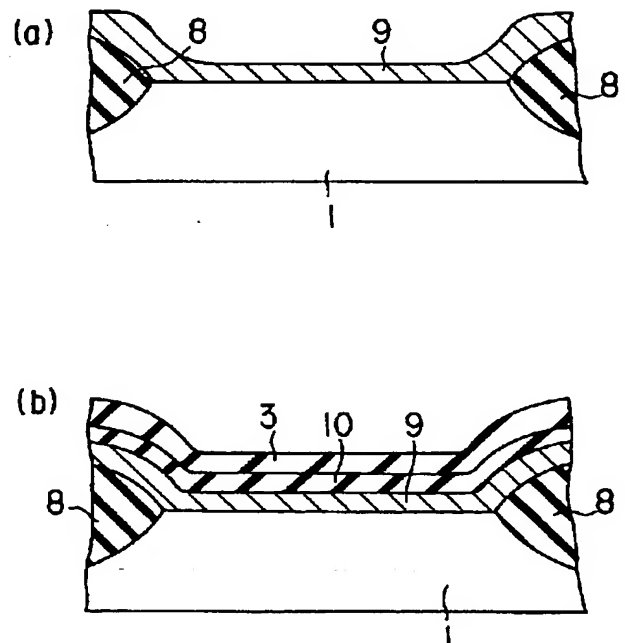
最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 付加的に生じる不具合を何等伴うことなく界面 SiO_2 形成を確実に抑止することができるとともに、ゲート絶縁膜形成以降の後工程においても SiO_2 の再成長を起こさない、汎用性の高い High-K ゲート絶縁膜を形成し得る半導体装置の製造方法を提供する。

【解決手段】 シリコン基板 (1) 表面に、金属を含む酸素と結合可能な薄膜 (9) を積層する工程と、前記薄膜の上に、金属酸化物膜 (3) を形成する工程と、前記薄膜および金属酸化物膜が形成されたシリコン基板に熱処理を施し、前記薄膜を酸化させて金属酸化薄膜を形成して、金属酸化物薄膜および金属酸化薄膜を含むゲート絶縁膜を得る工程とを具備することを特徴とする。



【特許請求の範囲】

【請求項 1】 シリコン基板表面に、金属を含む酸素と結合可能な薄膜を積層する工程と、前記薄膜の上に、金属酸化物膜を形成する工程と、前記薄膜および金属酸化物膜が形成されたシリコン基板に熱処理を施し、前記薄膜を酸化させて金属酸化物薄膜を形成して、金属酸化物薄膜および金属酸化物膜を含むゲート絶縁膜を得る工程とを具備する半導体装置の製造方法。

【請求項 2】 前記金属を含む酸素と結合可能な薄膜は酸素を含まない雰囲気中で形成され、前記金属酸化物膜は、酸素を含む雰囲気中で形成される請求項 1 に記載の半導体装置の製造方法。

【請求項 3】 前記金属を含む酸素と結合可能な薄膜は、Ti、Ta、Zr、Hf、Mg、Al、Y、Bi、Ce、La、およびSiからなる群から選択される少なくとも 1 種の金属を備える請求項 1 または 2 に記載の半導体装置の製造方法。

【請求項 4】 前記金属を含む酸素と結合可能な薄膜は、Ti、Ta、Zr、Hf、Mg、Al、Y、Bi、Ce、La、およびSiからなる群から選択される少なくとも 1 種の金属の酸化物を備え、この酸化物の組成は化学量論組成よりも酸素が少ない請求項 1 または 2 に記載の半導体装置の製造方法。

【請求項 5】 前記金属を含む酸素と結合可能な薄膜は、Ti、Ta、Zr、Hf、Mg、Al、Y、Bi、Ce、La、およびSiからなる群から選択される少なくとも 1 種の金属の窒化物を備える請求項 1 または 2 に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体装置の製造方法に係り、特に金属酸化物をゲート絶縁膜として使用する半導体装置の製造方法に関する。

【0002】

【従来の技術】 サブ 0.1 μm 世代の CMOS (Complementary Metal-Oxide-Semiconductor) デバイスにおけるゲート絶縁膜は、SiO₂ 換算で 1.5 nm という高いスペックが要求される。厚さ 1.5 nm の SiO₂ は、直接トンネル電流のために絶縁性が劣化しているため、SiO₂ よりも比誘電率の大きな材料を利用して物理的な膜厚を大きくすることによって絶縁性を確保しつつ、SiO₂ 換算 1.5 nm の絶縁膜容量を得るという、いわゆる High-K 絶縁膜技術の研究開発が盛んに行なわれている。

【0003】 High-K 材料を CMOS のゲート絶縁膜に適用する際の最大の課題は、High-K 材料と Si 基板との界面をいかに制御するかということである。High-K 材料と Si 基板との界面には SiO₂ 層が

不可避免地に形成され、この SiO₂ 層の厚みを制御することが、極めて重要な技術課題となっている。界面に形成される SiO₂ 層と High-K 材料との積層構造の全体の厚さで SiO₂ 換算 1.5 nm にする必要があるため、界面 SiO₂ 層の厚さは、1.5 nm 未満に抑えることが要求される。

【0004】 現在、High-K 材料と Si 基板との界面における SiO₂ 形成を抑制するためのいくつかの方法が実現されている。High-K 材料の形成法は多様であるが、ここでは、2 つの具体例を挙げて SiO₂ 形成抑止方法の公知例を説明する。

【0005】 第一の例は、Si 基板表面をオキシナイトライドで被覆し、その上に High-K 材料を構成する金属を物理堆積し、その金属を酸化して金属酸化物 (High-K ゲート絶縁膜) を構成する方法である。(High-K 材料とは、一般に一元以上の金属の酸化物なので、以下、金属酸化物という記述を High-K 材料と同義に用いる)。金属を酸化して High-K 材料を得るこの手法では、オキシナイトライドを挿入することによって、確かに Si 基板表面の酸化が抑制される。しかしながら、その抑止力は十分でなく、3 nm 以上の厚さで SiO₂ 層が形成されることが報告されている。所望の High-K 材料を得るための金属酸化には、十分な温度が必要とされるという制約があるため、こうした手法を用いて、例えば SiO₂ 換算 1.5 nm というスペックを得ることは困難と予測される。

【0006】 第二の例は、Si 基板表面に High-K 材料を構成する金属を薄く堆積し、これを真空中でアニールして、それに引き続き、酸素/アルゴンの混合比を厳密に管理した混合ガスによる反応性スパッタで金属酸化物を堆積するという手法である。この手法では、初期に堆積される金属薄膜が、その後の金属酸化物堆積時における Si 基板表面の酸化に対するバリア層として機能する。この手法の問題点として、金属堆積後の真空アニールが挙げられる。真空アニールの役割は明言されていないが、このアニールにより金属と Si とが反応して、金属シリサイドが形成されると予測され、金属シリサイドの形成に伴って金属原子の Si 中への拡散が避けられない。Si 中に拡散した金属原子は、キャリアとしての捕獲生成中心となってデバイスの性能を劣化させる。

【0007】 これらの方法に共通な問題点として、ゲート絶縁膜形成後の後工程における界面 SiO₂ の再成長が挙げられる。高濃度不純物領域の電気的活性化のためには 900℃ 以上の高温熱処理が必要とされるものの、このような高温に曝されることによって、High-K 膜と Si との間に新たな SiO₂ 膜の成長が起きてしまう。この追加的な酸化を起こす起源となる酸素は、金属酸化物中に含まれている余剰酸素であることが多い。

【0008】

【発明が解決しようとする課題】 上述したように、従来のHigh-Kゲート絶縁膜の形成方法においては、界面 SiO_2 制御を試みているものの、原理的に SiO_2 形成抑止力が不十分であった。仮に界面 SiO_2 の形成を抑止できたところで、不可避免的に Si 基板中への金属拡散が生じてデバイス性能に劣化が生じた。さらには、ゲート絶縁膜形成以降の後工程において、 SiO_2 の再成長を抑制できないという問題を抱えていた。

【0009】 本発明は、上述の問題点を考慮してなされたものであり、その目的は、付加的に生じる不具合を何等伴うことなく界面 SiO_2 形成を抑止することができるとともに、ゲート絶縁膜形成以降の後工程においても SiO_2 の再成長を抑制する、汎用性の高いHigh-Kゲート絶縁膜を形成し得る半導体装置の製造方法を提供することにある。

【0010】

【課題を解決するための手段】 上記課題を解決するために、本発明は、シリコン基板表面に、金属を含む酸素と結合可能な薄膜を積層する工程と、前記薄膜の上に、金属酸化物膜を形成する工程と、前記薄膜および金属酸化物膜が形成されたシリコン基板に熱処理を施し、前記薄膜を酸化させて金属酸化物薄膜を形成して、金属酸化物薄膜および金属酸化物膜を含むゲート絶縁膜を得る工程とを具備する半導体装置の製造方法を提供する。

【0011】 以下、本発明を詳細に説明する。

【0012】 本発明の半導体装置の製造方法においては、シリコン基板上に、まず金属を含む酸素と結合可能な薄膜を形成し、引き続いて金属酸化物膜を形成する。金属を含む酸素と結合可能な薄膜は、その後に熱処理を施すことにより酸素と結合することによって Si 表面酸化防止膜として作用する。

【0013】 従来の方法においても金属膜を Si 酸化防止膜に用いる例は存在しているが、この方法では、金属堆積後にアニールが必要であり、このことが Si 側への金属拡散を引き起こして、デバイス性能劣化をもたらすことは上述した通りである。これに対して本発明では、 Si 表面酸化防止膜として作用する、金属を含む酸素と結合可能な薄膜は、金属酸化物堆積初期過程における Si 表面の酸化を抑制する。加えて、その後の熱処理時には、 Si と反応するよりも早く酸素と反応し、それを取り込むことによって Si 表面の酸化を抑制する。しかも、酸素を吸収し酸素と金属との結合を生じ、金属を含む酸素と結合可能な薄膜はそれ自体が安定な金属酸化物薄膜となる。

【0014】 また、従来法ではゲート絶縁膜形成以降の後工程における高温熱処理の際に、界面に SiO_2 が再成長して、ゲート絶縁膜容量が低下するという問題があった。高温熱処理時における界面 SiO_2 の再成長は、金属酸化物内に含まれる余剰酸素に起因するものであるが、本発明においては、金属酸化物内の余剰酸素は、熱

処理によって全て、金属を含む酸素と結合可能な薄膜(Si 表面酸化防止膜)に取り込まれる。したがって、従来のような追加的な SiO_2 再成長を抑制することが可能となった。

【0015】 本発明において Si 基板上に形成される、金属を含む酸素と結合可能な薄膜は、酸素と結合できる能力を有していればよく、金属あるいは金属以外のものを用いることができる。例えば、金属窒化物、および化学量論組成から酸素不足側に組成のずれた金属酸化物を用いることもできる。 Si 基板と酸化物との間の界面特性が良好な点から、金属酸化物膜が特に好ましい。薄膜が具備する金属としては、 Ti 、 Ta 、 Zr 、 Hf 、 La 、 Mg 、 Al 、 Y 、 Bi 、および Ce が挙げられ、酸化物の熱的安定性、比誘電率の高さ、 Si による還元性の低さの点から、 Ti 、 Zr 、 Hf 、 La が特に好ましい。また、薄膜の中に Si 原子が混入していても構わない。

【0016】 金属を含む酸素と結合可能な薄膜の成膜方法は特に限定されず、スパッタ法、CVD法、および電子ビーム蒸着法などのいずれの方法により成膜してもよい。この薄膜の形成時に Si 表面酸化を防止するためには、堆積雰囲気は酸素濃度の低い系で行なうことが好ましく、酸素を含まないことがより好ましい。薄膜を堆積する際の酸素濃度は、 10^{-3}Pa 以下程度とすることが望まれる。

【0017】 また、その膜厚は使用する金属の材質、酸化物の比誘電率、リーク電流の大きさ等により適宜決定することができる。例えば、 TiO_x ($x < 2$) の場合には、 $0.5 \sim 2\text{nm}$ 程度とすることが好ましい。

【0018】 金属を含む酸素と結合可能な薄膜の上には、金属酸化物膜が引き続いて形成される。この金属酸化物としては、 TiO_2 、 ZrO_2 、 HfO_2 、 La_2O_3 、 Ta_2O_5 、 MgO 、 Al_2O_3 、 Y_2O_5 、 BiO_2 および CeO_2 などが挙げられる。 Si との界面安定性、および材料自体の熱的安定性が求められるので、 TiO_2 、 ZrO_2 、 HfO_2 、および La_2O_3 などが特に好ましい。また、これらの金属酸化物中に、 Si が混入していてもよい。金属を含む酸素と結合可能な薄膜と金属酸化物膜との界面安定性や、プロセスの簡略化を考慮すると、金属酸化物膜に含まれる金属は、酸素と結合可能な薄膜に含まれる金属と同一であることが好ましいが、異なってもよい。この金属酸化物膜は、例えば、スパッタ法、CVD法、および電子ビーム蒸着法などを用いて堆積することができる。堆積に当たっては、雰囲気中の酸素はなるべく少ないことが望まれる。酸素が過剰に存在していると次のような不都合が生じるおそれがあるからである。例えば酸素と結合可能な薄膜が金属からなる場合には、この金属が全て酸化してしまい、酸素不足組成の金属酸化物の場合には、化学量論組成の膜になってしまう。いずれの場合も、本発明の目的を達

成することが困難になる。

【0019】こうした不都合を避けるためには、酸素と結合可能な薄膜および金属酸化物膜は、同一装置内で連続的に堆積して、大気雰囲気からの酸素、二酸化炭素、および水等の吸着を排除することが望まれる。しかしながら、現実には、金属酸化物膜の堆積時に雰囲気酸素を皆無にすることはほぼ不可能なので、酸素と結合可能な薄膜がある程度の酸素を受け入れてしまうことを見越した厚さで、酸素と結合可能な薄膜を準備しておくことが好ましい。

【0020】金属酸化物膜の厚さは、この金属酸化物膜の比誘電率、リーク電流等に応じて適宜決定することができる。例えば、 TiO_2 の場合には、1~5 nm 程度とすることができる。

【0021】本発明の方法においては、上述したような酸素と結合可能な薄膜および金属酸化物膜が形成されたシリコン基板に熱処理を施す。熱処理の温度および時間は、世代ごとに要求されるゲート絶縁膜容量のスペック、リーク電流の許容値等に応じて適宜決定することができる。ただし、熱処理の温度は、半導体装置の製造プロセスにおける最大温度、すなわち 900~1050℃で行なうことが好ましい。これは、これらの熱プロセスに酸素と結合可能な薄膜への酸素吸収を兼ねさせることによって、余分な熱工程を減らすためである。

【0022】なお、この熱処理によって、酸素と結合可能な薄膜のみならず、シリコン基板表面も酸化してもよい。ただし、シリコン基板表面の酸化は、0.5 nm 程度以下であることがゲート絶縁膜容量を高い値に保つ点から好ましい。

【0023】こうした熱処理を施すことによって、上層に形成された金属酸化物中の酸素は、ほとんど全て酸素と結合可能な薄膜中に吸収されるので、後の工程において界面 SiO_2 は抑制される。

【0024】以上のような本発明の方法により、デバイス性能の劣化を何等伴うことなく、 Si 基板表面酸化を制御した形で、後工程にも強靱な金属酸化物/ Si のゲート絶縁膜構造を形成することが初めて可能となった。

【0025】

【発明の実施の形態】以下、図面を参照しつつ、本発明を用いた MISFET (Metal-Insulator-Semiconductor Field Effect Transistor) の製造方法を説明する。

【0026】実施例 1

図 1 は、本発明の方法により製造された MISFET の断面構造である。

【0027】図示するように、 Si 基板 1 上には、金属膜 2/金属酸化物層 3/ゲート絶縁膜層 4 の積層 MIS 構造が形成され、この積層 MIS 構造は、 SiO_2 など

からなるゲート側壁 5 により取り囲まれている。また、 Si 基板 1 中には、MIS 構造に自己整合的に高濃度に不純物を拡散した深い拡散領域 6 および浅い拡散領域 7 が形成されており、その表面にはサリサイド 11 が形成されている。

【0028】図 2 には、本発明にかかる半導体装置の製造方法の工程の一例を表わす断面図を示す。

【0029】まず、通常の工程により素子分離 8 を施した Si 基板 1 を準備し、この基板上に様に薄い金属を含む酸素と結合可能な薄膜 (Si 表面酸化防止膜) 9 を堆積して、図 2 (a) に示す構造を得る。

【0030】本実施例においては、金属 Ti を RF スパッタ法により 1 nm の厚さで堆積して、酸素と結合可能な薄膜 9 を形成した。堆積に当たっては、 Ti ターゲットを用い、ベース真空度 10^{-3} Pa、堆積時真空度 1 Pa、Ar 流量 22 sccm、電力 60 W の条件で行なった。これにより、薄い金属 Ti 膜からなる酸素と結合可能な薄膜 9 を Si 基板 1 上に連続的に堆積することができる。

【0031】酸素と結合可能な薄膜 9 の上には、金属酸化物膜 3 を図 2 (b) に示すように形成する。

【0032】本実施例においては、酸素と結合可能な薄膜 9 として形成された膜厚 1 nm の金属 Ti 膜上に、 TiO_2 からなる金属酸化物膜 3 を RF スパッタリングにより 3 nm 堆積する。堆積に当たっては、 TiO_2 ターゲットを用いて、ベース真空度 10^{-3} Pa、堆積時真空度 1 Pa、Ar 流量 22 sccm、酸素流量 1.2 sccm、電力 300 W の条件で行なった。この堆積過程において、酸素と結合可能な薄膜 9 として形成された金属 Ti 膜は、1 nm のうちの約 0.5 nm が約 1 nm の TiO_2 へと変性し、図 2 (b) に示される界面反応層 10 を形成する。残りの約 0.5 nm の金属 Ti 膜 9 は、この界面反応層 10 と Si 基板 1 との間に残される。

【0033】次いで、熱処理を施すことによって、 Si 基板 1 と金属酸化物層 3 との界面に薄く残された酸素と結合可能な薄膜 9 を酸化し、図 3 (a) に示すように金属酸化物 3 としてゲート絶縁膜構造を完成させる。残った酸素と結合可能な薄膜を酸化する酸素の起源は種々あるが、一つには、金属酸化物中に過剰に混入した酸素原子があり、雰囲気から拡散する酸素原子の場合もある。

【0034】本実施例においては、 $TiO_2/Ti/Si$ 積層構造に、Ar 雰囲気中で 700℃、60 分の熱処理を施した。この熱処理により約 0.5 nm 残されていた金属 Ti は酸化されて、約 1 nm の TiO_2 へと変性する。700℃で Ti が酸化することは公知の事実である。これにより、 TiO_2/Si が直接接触するゲート絶縁膜を形成することが可能である。

【0035】現実には、金属酸化物膜 3 と Si 基板 1 との間に薄い SiO_2 層を挿入することによって、界面の電気的特性は格段に向上する。このため、酸素と結合可

能な薄膜は、完全な金属酸化膜/Si系にならないように、若干薄く設計して、金属酸化物形成後の熱処理によって、図3(b)に示すように下のSi基板を極わずか酸化し、SiO₂膜4を得ることが好ましい。

【0036】ここで、TiO₂/Si構造において、界面を酸化した場合と、そうでない場合とのMISFETのトランジスタ特性を比較して図4のグラフに示す。600℃の熱処理を施して界面を酸化することによって、TiO₂/Si界面の特性は理論的にSiO₂/Si界面のそれに匹敵するものとなる。

【0037】金属酸化膜堆積時にSi基板表面を金属で覆っておくことは、リーク電流の低減にも効果がある。Si基板上に2nmの金属Ti膜をスパッタ堆積した後、TiO₂膜を堆積して上述した手法によりゲート絶縁膜を形成したところ、ゲート絶縁膜のリーク電流密度は、TiO₂をSi基板上に直接スパッタ堆積した場合より2桁以上も低下した。これは、Si表面酸化防止のために挿入した金属膜が、スパッタ成膜時の基板へのダメージ混入をも阻止する機能を果たしたためと思われる。

【0038】こうして形成されたゲート絶縁膜上には、図3(c)に示すようにゲート電極2を堆積して、MISFETを形成する。以降の工程は、常法により行なうことができる。ここでは一例としてTiNをゲート電極として堆積して常法によって加工し、浅い拡散層7をセルフアラインプロセスによって基板1中に形成する。浅い拡散層7は、イオン注入と活性化熱処理とによって形成され、この活性化熱処理は900℃以上の高温で行なわれる。従来の手法では、この際に金属酸化物/Si界面で追加的にSiO₂の成長が起きることが危惧される。しかしながら、本発明の製造方法においては、金属酸化物膜3の内部に存在する可能性のある余剰な酸素は、全て酸素と結合可能な薄膜9によって取り込まれているため、加熱雰囲気からの酸化拡散のみをケアすれば、原理的にはSiO₂の成長が起きることはない。

【0039】なお、図3(a)に示した構造を得るための700℃アニールを省略して、浅い拡散層7を形成するための活性化熱処理によって酸素と結合可能な薄膜9を酸化することもできる。

【0040】この後、通常の製造方法によってゲート側壁5形成、深い拡散層6形成、およびサリサイド形成を行なって、図1に示したMISFET構造を得ることができる。

【0041】実施例2

図5を参照して、本実施例を説明する。

【0042】まず、図5(a)に示すようにSi基板1表面を水素終端して、Si基板1表面を酸素から保護する。

【0043】次に、Si基板1上には、図5(b)に示すように、金属を含む酸素と結合可能な薄膜を形成す

る。第一の実施例では保護膜は単層であったが、本実施例では酸素不足の金属酸化物12と、酸素不足のシリコン酸化膜13との積層で形成される。

【0044】こうした積層酸化防止膜は、以下のようにしてスパッタリングにより形成することができる。まず、化学量論組成の金属酸化物ターゲットを用いて、アルゴンガス流量22sccm、電力300Wの条件で、2nm程度のごく薄い金属酸化膜をRFスパッタリングによりSi基板1上に堆積する。これにより、Si表面はわずかに酸化されて図5(b)のごとき構造となる。この堆積の際、酸素をプロセスガスとして混入させると、Si基板1の表面酸化が極端に進行してしまうため、酸素ガスを混入させないことがポイントとなる。

【0045】引き続き、アルゴン流量22sccm、酸素流量1.2sccmの混合ガスを用い、電力300Wで金属酸化物をスパッタリングして、図5(c)の構造を得る。

【0046】その後、900℃、30分程度の熱処理を施すことによって、前述の図3(b)と同様の構造を形成することができる。

【0047】上述したように、本実施例においては、酸素不足のシリコン酸化膜と、この上に形成された酸素不足の金属酸化膜との積層構造により酸素と結合可能な薄膜を構成する。こうした酸素と結合可能な薄膜のうち、上層の金属酸化物は、その上に化学量論組成の金属酸化膜を形成する際、あるいはその後の熱処理の際に、余剰な酸素と結合する。こうして、その下部にあるシリコン基板の酸化を防止する役割を果たす。その一方、下層のシリコン酸化膜は、基板との良質な界面特性を得るために有効に作用する。しかも、このシリコン酸化膜は、上層の金属酸化膜と結合しきれなかった酸素を吸収してその下のシリコン基板の酸化を抑制する機能を有している。

【0048】

【発明の効果】以上詳述したように本発明によれば、付加的に生じる不具合を何等伴うことなく界面SiO₂形成を確実に抑止することができるとともに、ゲート絶縁膜形成以降の後工程においてもSiO₂の再成長を起こさない、汎用性の高いHigh-Kゲート絶縁膜を形成し得る半導体装置の製造方法が提供される。本発明は、ゲート絶縁膜として金属酸化物を用いた半導体装置の製造に有効に用いられ、その工業的価値は絶大である。

【図面の簡単な説明】

【図1】本発明の方法により製造されたMISFETの断面図。

【図2】本発明の半導体装置の製造方法の一例を表わす工程断面図。

【図3】本発明の半導体装置の製造方法の一例を表わす工程断面図。

【図4】本発明の実施例1にかかるMISFETの静特性を表わすグラフ図。

【図5】本発明の半導体装置の製造方法の他の例を表わす工程断面図。

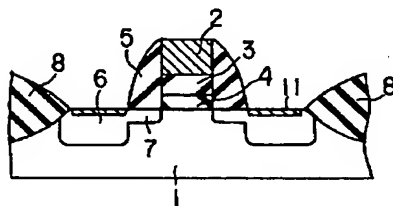
【符号の説明】

- 1…Si基板
- 2…ゲート電極
- 3…金属酸化物
- 4…ゲート絶縁膜
- 5…ゲート側壁

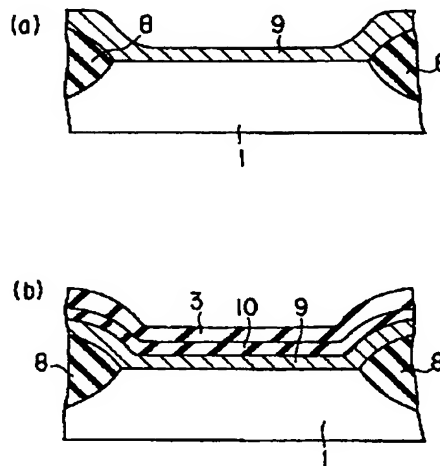
- 6…深い拡散層
- 7…浅い拡散層
- 8…素子分離
- 9…金属を含む酸素と結合可能な薄膜 (Si表面酸化防止膜)
- 10…金属酸化物
- 11…サリサイド
- 12…酸素不足の金属酸化膜
- 13…酸素不足のシリコン酸化膜

10

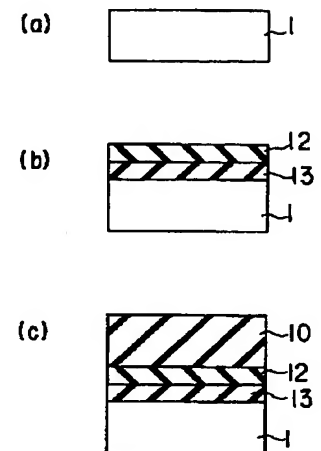
【図1】



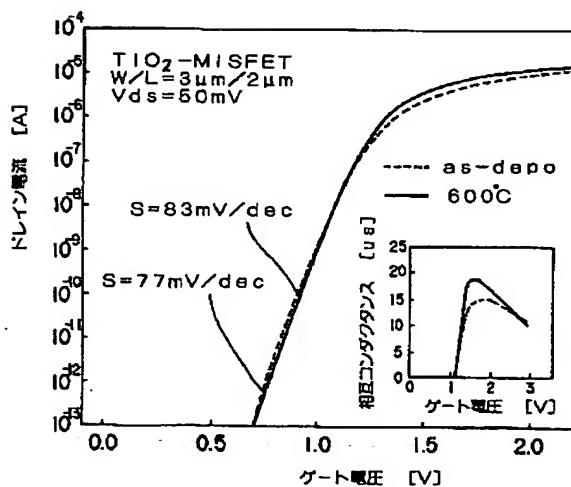
【図2】



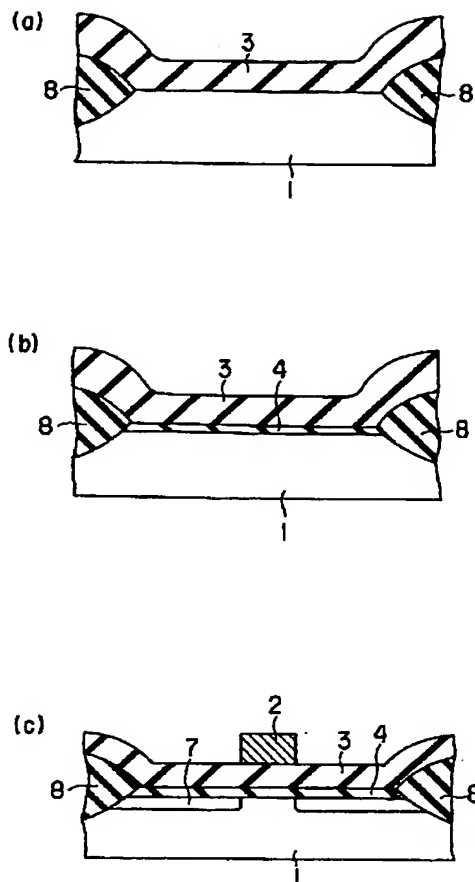
【図5】



【図4】



【図3】



フロントページの続き

(51) Int. Cl.⁷

H 0 1 L 21/316
29/43

識別記号

F I

H 0 1 L 29/78
29/62

ターマコード (参考)

3 0 1 G
G

F ターム (参考) 4M104 AA01 BB30 CC05 DD02 DD04
EE03 EE12 EE15 EE16 EE17
GG08 HH10
5F040 DA19 EC04 ED03 ED07 EH02
EK01 FA05 FB02 FB04 FC19
5F058 BA20 BC03 BD01 BD04 BD05
BE10 BF12 BF52 BF62 BH03
BJ01